

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-249233
 (43)Date of publication of application : 30.10.1987

(51)Int.Cl. G06F 9/30
 G06F 1/04
 G06F 15/06

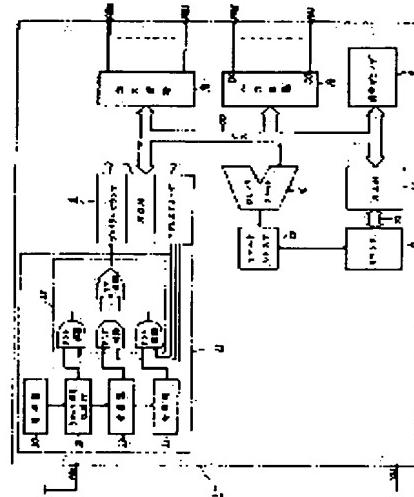
(21)Application number : 61-095460 (71)Applicant : NIPPON DENSO CO LTD
 (22)Date of filing : 22.04.1986 (72)Inventor : KAMATA TADASHI

(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To heighten universality, by selecting a machine cycle out of clock signals having different cycles.

CONSTITUTION: A machine cycle setting circuit 23 consists of an oscillator 30 which outputs a rectangular wave having prescribed frequency and duty, a clock signal supplying part 31 which supplies the rectangular wave outputted from the oscillator 30 to another circuit, a frequency-divider 32 which frequency-divides the rectangular wave, a frequency-divider 33 which frequency-divides again a frequency-divided rectangular wave, and a clock signal selecting part 35 which is operated as a clock signal selecting means with an address decoder 3. The clock signal selecting part 35 selects the clock signal outputted from the clock signal supplying part 31, the frequency-divider 32, or the frequency-divider 33, corresponding to the output of the address decoder 3, and outputs it as a clock signal ϕ which decides the machine cycle of a one bit microprocessor 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭62-249233

⑫ Int.Cl.

G 06 F 9/30
1/04
15/06

識別記号

330
320

厅内整理番号

7361-5B
7157-5B
7343-5B

⑬ 公開 昭和62年(1987)10月30日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 マイクロプロセッサ

⑮ 特願 昭61-95460

⑯ 出願 昭61(1986)4月22日

⑰ 発明者 鎌田 忠 割谷市昭和町1丁目1番地 日本電装株式会社内
⑱ 出願人 日本電装株式会社 割谷市昭和町1丁目1番地
⑲ 代理人 弁理士 足立 勉

明細書

1 発明の名称

マイクロプロセッサ

2 特許請求の範囲

少なくとも、

記憶手段に記憶された命令を順次実行する命令実行部と、

該命令実行部にマシンサイクルとしてのクロック信号を供給するクロック信号供給部と、

上記命令実行部の行なう所定の命令に従ってカウント動作を開始し、上記マシンサイクルに基づいて実行されるカウント動作の上記カウントの終了まで次の命令の実行開始を停止させるカウンタと、

を備えたマイクロプロセッサにおいて、
上記クロック信号供給部は、

クロック周期の異なる二つ以上のクロック信号を生成する複数クロック信号生成手段と、

上記命令実行部の実行する所定の命令に従って、上記複数クロック信号生成手段の生成するク

ロック信号のうち一つを選択し、マシンサイクルとして出力させるクロック信号選択手段と、
を備えたことを特徴とするマイクロプロセッサ。

3 発明の詳細な説明

発明の目的

[産業上の利用分野]

本発明は、マイクロプロセッサに関し、詳しくは分岐命令を持たずサイクリックに処理を行なうマイクロプロセッサのマシンサイクルに関するものである。

[従来の技術]

従来より分岐命令等を持たずサイクリックに処理を行なうマイクロプロセッサが知られているが、こうしたマイクロプロセッサでは、実行される処理において所定の待ち時間を生成するために、命令実行部の行なう所定の命令に従ってカウント動作を開始し、このカウントの終了まで次の命令の実行開始を停止させるカウンタを用意している。

[問題点]

しかしながら、こうしたマイクロプロセッサに

は次の様な問題があり、一層の改善が望まれていた。

マイクロプロセッサの動作時間は、通常、命令実行部に供給されるマシンサイクルとしてのクロックを基本として定められる。このマシンサイクルは、マイクロプロセッサの各処理のうち最も高速の処理が要求されるものに合わせて定められる。従って、長いウェイトと高速処理とを両立させようとしている。長いウェイトをかけるためには段数の極めて多いカウンタを設けなければならぬといった問題があった。また、例え多段のカウンタを設けたとしても、この多段のカウンタを動作させるには、かなりの容量のメモリ等が必要とされた。このため、1ビットマイクロプロセッサの様に、実装スペースが小さく、しかもメモリ容量等が限られたマイクロプロセッサにおいては、これらの制約を受けて、上記の様な長いウェイトと高速処理とを共に必要とする処理の実現は困難になるといった問題があった。

発明の構成

クロック信号のうち一つを選択し、マシンサイクルとして出力させるクロック信号選択手段と、
を備えて構成されている。

ここで、カウンタとは、所定の段数を有するカウンタであり、命令実行部の行なう所定の命令に従ってカウント動作を開始し、該カウントの終了まで次の命令の実行開始を停止させるものである。このカウンタは、所謂J-Kフリップフロップ等を用いて構成することができる。

複数クロック信号生成手段とは、クロック信号供給部において、クロック周期の異なる二つ以上のクロック信号を生成するものであり、所定の周期を有する矩形波を分周する所謂分周器等を用いて構成すること等が考えられる。

クロック信号選択手段とは、クロック信号供給部において、命令実行部の実行する所定の命令に従って、複数クロック信号生成手段の生成するクロック信号のうちの一つを選択し、その選択されたクロック信号をマシンサイクルとして出力する手段のことである。このクロック信号選択手段は、

[問題点を解決するための手段]

上記問題点を解決するために本発明のとった構成は次の如くである。即ち、本発明のマイクロプロセッサは、

少なくとも、

記憶手段に記憶された命令を順次実行する命令実行部と、

該命令実行部にマシンサイクルとしてのクロック信号を供給するクロック信号供給部と、

上記命令実行部の行なう所定の命令に従ってカウント動作を開始し、上記マシンサイクルに基づいて実行されるカウント動作の上記カウントの終了まで次の命令の実行開始を停止させるカウンタと、

を備えたマイクロプロセッサにおいて、

上記クロック信号供給部は、

クロック周期の異なる二つ以上のクロック信号を生成する複数クロック信号生成手段と、

上記命令実行部の実行する所定の命令に従って、上記複数クロック信号生成手段の生成するク

所謂デコーダ等を用いて実現することができる。

尚、上記複数クロック信号生成手段及びクロック信号選択手段を含むクロック信号供給部は、マイクロプロセッサに内蔵する様に構成してもよいし、又は、外付けとして構成してもよい。また、本発明が適用されるマイクロプロセッサは、分歧命令等を持たずサイクリックに動作するマイクロプロセッサであれば何ビットのものでもよいが、メモリ容量等の制約を受ける1ビットマイクロプロセッサであれば、その効果は一層大きい。

[作用]

本発明のマイクロプロセッサは、クロック供給手段から供給されるクロック信号をマシンサイクルとし、記憶手段に記憶された命令を順次実行する命令実行部を備え、所定のウェイトを必要とする場合には、カウントの終了まで次の命令の実行開始を停止させるカウンタのカウント動作を開始させる所定の命令を命令実行部により実行する。しかも、本発明のマイクロプロセッサは、クロック供給手段に備えられた複数クロック信号生成手

段によりクロック周期の異なる2以上のクロック信号を生成しており、命令実行部の実行する所定の命令に従って、クロック信号選択手段によりこのクロック信号の内の一つを選択し、これをマシンサイクルとする。従って、本発明のマイクロプロセッサは、命令実行部の実行する所定の命令に応じてそのマシンサイクルを切り替え、カウンタの動作時間に応じて定まるウェイト時間を切り替える。

[実施例]

次に本発明の実施例について詳細に説明する。第1図は、本発明一実施例としての1ビットマイクロプロセッサ1の内部構成を示すブロック図である。

本実施例の1ビットマイクロプロセッサ1は、C-MOS型半導体集積回路として構成され、電源端子Vdd、接地端子Vssの他、信号入力用端子PA1ないしPA5及び信号出力用端子PB1ないしPB6を備えた16ピンDILタイプのものである。この1ビットマイクロプロセッサ1の内

る8ビットのカウンタであり、16進数00からFFまでの256のアドレスをサイクリックに指定する。このプログラムカウンタ2の内容はアドレスデコーダ3によってデコーダされるので、これによりROM5内の対応するアドレスの内容が読み出される。尚、クロック周期の異なる複数のクロック信号を生成し、その複数のクロック信号の内の一つをマシンサイクルとして選択するマシンサイクル設定回路23については、詳しく後述する。

ROM5より読み出された命令コードにはインストラクションとオペランドが含まれており、このうちインストラクションは、内部バス20を介して命令デコーダ8にロードされる。命令デコーダ8は、12ビットのデータの上位4ビットとして展開されているインストラクションを読み取り、その内容を解析してロジックユニット10に所定の指令を与える。一方、命令コードの下位8ビットとして展開されているオペランドは、通常、RAM14のアドレスを指定するのに用いられてお

る8ビットのカウンタであり、16進数00からFFまでの256のアドレスをサイクリックに指定する。このプログラムカウンタ2の内容はアドレスデコーダ3によってROM5からなる命令コード出力部6、命令デコーダ8、ロジックユニット10、リザルトレジスタ12、ランダムアクセスメモリ(RAM)14、入力回路16及び出力回路18が、内部バス20によって相互に接続された構成となっており、1ビット単位の論理演算を行なうよう構成されている。また、1ビットマイクロプロセッサ1内には、所定のタイマ演算を行なう6段のカウンタ22、1ビットマイクロプロセッサの動作の基本となるマシンサイクルを設定するマシンサイクル設定回路23とが備えられている。

プログラムカウンタ2、アドレスデコーダ3、ROM5からなる命令コード出力部6は、予めROM5に記憶された1ワード12ビットの命令コードを、プログラムカウンタ2の値に従って内部バス20に出力するものである。プログラムカウンタ2は、マシンサイクル設定回路23の出力するマシンサイクル中に同期してカウントアップす

り、命令コードが内部バス20に乗せられると、指定されたアドレスのRAM14がアクセスされる。

ロジックユニット10は、リザルトレジスタ12と共に1ビットの論理演算を行なうユニットであり、例えば命令コードの下位8ビットで指定されたアドレスのRAM14の内容Data(1ビット)とリザルトレジスタ12に保存されているデータRRとの論理和や論理積をとるといった演算を行なう。もとより、命令コードの中には、所定アドレスのデータDataをリザルトレジスタ12へ読み出したり、書き込んだりするイントラクションも含まれており、所定のアドレスが割り付けられた入力回路16の各ビットの状態をリザルトレジスタ12にロードすることもできる。また、所定の論理演算操作をした後、その結果をRAM14の特定のアドレスに格納したり、所定のアドレスが割り付けられた出力回路18の所定ビットに出力するといった操作も行なうことができる。

入力回路16は、5ビットの入力ポートD0な

いしD4を有し、各々信号入力用端子PA1ないしPA5に接続されている。入力ポートD0ないしD4は、總て外部のレベル信号を2値化して読み込むポートであり、外部からの入力信号(電圧Vin)が入力ポートD0ないしD4の閾値Vthを超えた時にはハイレベル1を、以下の時にはロウレベル0を、各々入力する。

カウンタ22は、RAM14と8ビット単位でデータの受け渡しができる様に専用のデータバス25に接続された6段のカウンタである。即ち、命令コード出力部6から所定の命令が出力された時にカウンタ22はカウントを開始し、そのカウント動作が終了するまで、プログラムカウンタ2のインクリメントを含む命令コード出力部6の動作を停止させ所謂ウェイトをかけるのである。このカウンタ22は、マシンサイクル設定回路23から出力されるマシンサイクル中に同期してカウント動作を行なう。従って、マシンサイクル中の周期が短い程、カウンタ22のカウント速度が速くなり、逆に、周期が長い程、カウンタ22のカ

ウント速度は遅くなる。

上記マシンサイクル設定回路23は、概略的には、第1図に示すように、所定周波数の所定デューティの矩形波を出力する発振器30、発振器30より出力される矩形波を他の回路に供給するクロック信号供給部31、この矩形波を分周する分周器32、分周器32により分周された矩形波を更に分周する分周器33、及びアドレスデコーダ3と共にクロック信号選択手段として働くクロック信号選択部35とから構成されている。クロック信号選択部35は、クロック信号供給部31、分周器32もしくは分周器33の出力するクロック信号を、アドレスデコーダ3の出力に応じて選択する回路であり、これを1ビットマイクロアロセッサ1のマシンサイクルを定めるクロック信号として出力する。このクロック信号選択部35は、模式的にはアンド回路とオア回路との組み合わせにより実現される。尚、マシンサイクル設定回路23の詳細を示す第2図に依拠して後述するように、実際の回路においては、アドレスデコー

ダ3の出力は、回路相互の動作の同期をとるために、クロック信号供給部31等を介してクロック信号選択部35に入力されている。

第2図に示すように、マシンサイクル設定回路23は、上述した発振器30、クロック信号供給部31、分周器32ないし33及びクロック信号選択部35の他に、パワーオンリセット信号PORを受けて上記各回路をハード的に初期化する信号を出力するクロックドインバータ37、このパワーオンリセット信号PORにより生成されて一定時間ハイレベルとされる内部リセット信号RESを受けて作動するN-MOSトランジスタTr1及びアドレスデコーダ3の出力ラインの一部をプルアップする抵抗器R1、R2、R3等も組み込まれている。

クロック信号供給部31および2組の分周器32、33は、アドレスデコーダ3からの入力信号SC、SG1、SG2を受けて動作する。そこでアドレスデコーダ3のうち、マシンサイクル設定回路23の動作に関与する部分について説明。

する。尚、以下の説明において、第2図に示す回路中の点A、B、C、D、E、F、G1、G2、H、I、J、Kの信号を適宜引用するが、特に所定周期のクロック信号となっているものをクロック信号A、B…の如く呼び、單にオン・オフ信号として扱われるものを信号SC、SD…の如く呼ぶものとする。

第2図に示すように、アドレスデコーダ3は、アドレスバスのラッチされたアドレス信号A0ないしA11を入力して動作するが、アドレス信号A0ないしA11により、直接もしくはインバータ40ないし49を介してドライブされる16個のN-MOSトランジスタTr2ないしTr17を備えている。これらのN-MOSトランジスタTr2ないしTr17のうち、N-MOSトランジスタTr8ないしTr17のドレイン・ソースは直列に接続され、N-MOSトランジスタTr17のソースは接地されている。一方、N-MOSトランジスタTr2ないしTr7は、2個ずつ直列に接続され、N-MOSトランジスタTr2

のソースにドレインが接続されたN-MOSトランジスタTr3のソースと、N-MOSトランジスタTr4のソースにドレインが接続されたN-MOSトランジスタTr5ソースと、N-MOSトランジスタTr6のソースにドレインが接続されたN-MOSトランジスタTr7のソースとが、一括してN-MOSトランジスタTr8のドレインに接続されている。N-MOSトランジスタTr2, Tr4, Tr6のドレインは、各々既述したブルアップ抵抗器R1, R2, R3に接続され、クロック信号供給部31, 分周器32, 分周器33の各入力信号SC, SG1, SG2となってい

る。

また、N-MOSトランジスタTr4, Tr6, Tr8, Tr10のゲートには直接、アドレス信号A0, A1, A2, A4が接続されている。一方、N-MOSトランジスタTr2, Tr7のゲートにはアドレス信号A0を反転するインバータ40の出力が、N-MOSトランジスタTr3, Tr5のゲートにはアドレス信号A1を反転する

インバータ41の出力が、各々接続されている。更に、N-MOSトランジスタTr9, Tr11ないしTr17の各ゲートには、アドレス信号A3, A5ないしA11を反転するインバータ42ないし49の各出力が、各々接続されている。従って、命令コード出力部6からバス20上に出力される命令コードが014[H]([H]は16進数であることを示す)であれば、N-MOSトランジスタTr2, Tr3, Tr8ないしTr17がオン状態となり、入力信号SCがロウレベルとされる。他の入力信号SG1, SG2も同様であって、各々015[H], 016[A]の時、排他的にロウレベルとされる。

次に、マシンサイクル設定回路23各部の構成とその働きについて説明する。

発振器30は、直列に接続された3段のインバータ50, 51, 52、積分用の抵抗器R4及びコンデンサC1を備え、最終段のインバータ52の出力が、抵抗器R4及びインバータ51の出力との間に介装されたコンデンサC1からなる積分

回路を介して初段のインバータ50の入力に帰還するよう構成されている。従って、発振器30は、抵抗器R4の抵抗値とコンデンサC1の容量とによる積分時定数によって定まる周波数のクロック信号φA(デューティ約50%)を、インバータ50より出力する。このクロック信号φAを第3図のタイミングチャート最上段に示した。

クロック信号供給部31は、発振器30から出力される上記クロック信号φAを受けて動作するクロックドインバータ53, 54、両クロックドインバータ53, 54間に直列に接続されたインバータ55, 56、クロック信号φAをうけて、クロック信号φAと共にクロックドインバータ53, 54に同期をかける反転信号を生成するインバータ57及びインバータ57の出力を一方の入力とするノア回路58とから構成されている。また、このノア回路58の他方の入力には、パワーオンリセット信号PORを反転するクロックドインバータ37の出力が接続されている。尚、クロックドインバータとは、入力信号の変化を、供給

されるクロックに同期して反転して出力するものである。第2図中、「↑」のクロック信号を受けるクロックドインバータは、与えられるクロックの立ち上がりに同期して、一方「↓」のクロック信号を受けるクロックドインバータは与えられるクロックの立ち下がりに同期して作動する。

以上のように構成されたクロック信号供給部31は、第2図C点の入力信号SCが内部リセット信号RESもしくは特定の命令コード(014[H])の出力により変化すると、クロック信号φAの立ち上がりと立ち下がりとに同期して、入力信号SCの変化を、クロック信号選択部35の2入力ノア回路60に出力する(これを第2図点Dにおける信号SDとして、第3図のタイミングチャートに示した)。一方、パワーオンリセット信号PORが、電源投入後一定時間経過してハイレベルとなると、クロック信号φAに同期してクロックドインバータ37の出力はロウレベルに反転し、2入力ノア回路58の出力(第2図点B)には、クロック信号φAと同相のクロック信号φ

Bが現れる。このクロック信号 ϕ Bは、信号SDを一方の入力とする2入力ノア回路60の他方の入力に入力されている。従って、2入力の~~ノア~~回路60は、信号SCがロウレベルの時、クロック信号 ϕ Bの反転されたクロック信号を出力する。この反転されたクロック信号は、直列に接続された遅延用インバータ61a, 61b, 61c, 61dを介して3入力 NAND 回路62に出力されるが、これが第3図に示すクロック信号 ϕ Eである。

次に分周器32, 33の構成について説明する。両分周器32, 33は、同一の構成を有するので、分周器32について説明し、分周器33を構成する部品・信号については括弧内に表記する。

分周器32(33)は、クロック信号供給部31と同様に、直列に接続されたクロックドインバータ63, 64(83, 84)とインバータ65, 66(85, 86)を備え、アドレスデコーダ3からの入力信号SG1(SG2)を入力してクロック信号 ϕ B(ϕ J)に同期した信号に変換し、クロック信号選択部35のノア回路67(87)

クロック信号 ϕ Bの立ち上がり及び立ち下がりに同期して、クロック信号選択部35の~~ノア~~回路67の一方の入力に与えられる信号SKはロウアクティブとされる。この結果、~~ノア~~回路67の出力にはクロック信号 ϕ Jの反転信号が現れる。このクロック信号はインバータ97a, 97bを介して3入力 NAND 回路62に出力される。

一方、アドレスデコーダ3からの入力信号SG2がロウレベルとなると、分周器33において、前段の分周器32の出力するクロック信号 ϕ Jの立ち上がり及び立ち下がりに同期して、クロック信号選択部35のノア回路87の一方の入力に与えられる信号SHはロウアクティブとされる。ノア回路87の出力は3入力 NAND 回路62の1入力に接続されているが、信号SHがロウレベルになると、ここに、クロック信号 ϕ Jを1/2分周したクロック信号 ϕ Fの反転されたクロック信号 ϕ Iが現れる(第3図参照)。

次に、以上の構成を有する本実施例の1ビットマイクロプロセッサ1が、そのマシンサイクルを

に出力する。一方、分周器32(33)は、この他に、交互に直列接続されたクロックドインバータ70, 71(90, 91)、インバータ72, 73(92, 93)及び2入力ノア回路75(95)からなる分周部を備え、ノア回路75(95)の出力を初段のインバータ72(92)へ入力することにより、クロック信号 ϕ B(ϕ J)に同期した1/2分周を実現している。分周されたクロック信号 ϕ J(ϕ F)は、クロック信号選択部35の2入力ノア回路67(87)の他方の入力端子に入力される。尚、分周器32(33)におけるインバータ77(97)は、クロックドインバータ63, 64, 70, 71(83, 84, 90, 91)を駆動する反転信号を生成するためのものである。また2入力のノア回路75(95)の他方の入力には、パワーオンリセット信号PORの反転信号を出力するクロックドインバータ37の出力が接続されている。

従って、アドレスデコーダ3からの入力信号SG1がロウレベルとなると、分周器32において、

切り換えて動作する様子を、第3図のタイミングチャートを参照しつつ、第4図のフローチャートに纏めて説明する。

本実施例の1ビットマイクロプロセッサ1は、電源が投入された直後には、そのパワーオンリセット信号PORが所定時間ロウレベルとされ、この間、マシンサイクルを決定するクロック信号 ϕ もクロック信号選択部35から出力されない。投入された電源電圧が安定状態に達するのに充分な時間が経過した後、パワーオンリセット信号PORは解除(ハイレベルに反転)されるが、これに同期して内部リセット信号RESがハイレベルに反転され、所定時間T0だけハイレベルに維持される。内部リセット信号RESがハイレベルとなると、既述したようにN-MOSトランジスタTR1がオンとなり、入力信号SCはロウレベルに反転する(第3図タイミングt1)。この結果、クロック信号 ϕ Aの最初の立ち上がり後の立ち下がりの時点(第3図t2)で、クロック信号選択部35の2入力ノア回路60の一方に入力されて

いる信号 S D はハイレベルとなり、ノア回路 6 0 . インバータ 6 1 a ないし 6 1 d および 3 入力 NAND 回路 6 2 を介して、クロック信号 ϕ B に対応したクロック信号 ϕ 1 が、クロック信号選択部 3 5 より、1 ビットマイクロプロセッサ 1 に出力される。これが 1 ビットマイクロプロセッサ 1 のマシンサイクルとなる。

クロック信号 ϕ 1 を受けて、1 ビットマイクロプロセッサ 1 はその動作を開始し、まず第 4 図に示すステップ 1 5 0 の初期設定の処理を行なう。初期設定とは、1 ビットマイクロプロセッサ 1 の内部レジスタ、例えばリザルトレジスタ 1 2 等の内容をクリアする処理等である。こうした処理は、内部リセット信号 R E S によりクロック信号 ϕ 1 として最も周期の短いクロック信号 ϕ B が選択されていることから、高速に実行される。

初期設定の直後には、クロック信号 ϕ 2 を選択する処理（ステップ 1 6 0 ）が実行される。内部リセット信号 R E S がハイレベルに維持されている間に、マシンサイクルを決定するクロック信号

るのである。この結果、入力信号 S G 2 に替えて入力信号 S C がロウレベルにされ（第 3 図タイミング t 4 ）、内部リセット信号 R E S がアクティブとなった場合と同様に、クロック信号 ϕ A に同期して、高速動作を可能とするクロック信号 ϕ B が、クロック信号選択部 3 5 よりクロック信号 ϕ 1 として出力される（第 3 図タイミング t 5 ）。従って、ステップ 1 7 0 の処理の後、1 ビットマイクロプロセッサ 1 は、高速で予め定められた処理を実行する。

以上詳細に説明したように、本実施例の 1 ビットマイクロプロセッサ 1 によれば、1 ビットマイクロプロセッサ 1 の動作速度を決定するマシンサイクルを、周期の異なるクロック信号 ϕ B, ϕ J, ϕ F の中から、マイクロプロセッサ自身の命令 0 1 4 [H], 0 1 5 [H], 0 1 6 [H] により選択することができる。これにより、高速で処理を実行する必要がある場合にはクロック信号 ϕ B をクロック信号 ϕ とし、カウンタ 2 2 を用いた長時間のウェイトなど低速の処理を実行する場合に

ϕ 2 を選択しておくのである。即ち、命令コード出力部 6 より命令コード 0 1 6 [H] が出力され、これがラッチされることにより、第 2 図に示したアドレスデコーダ 3 の部分において、N-MOS トランジスタ T r 6 ないし T r 1 7 が起てオン状態となり、入力信号 S G 2 がロウレベルとされる。この結果、既述したように、クロック信号 ϕ J に同期して、クロック信号選択部 3 5 の 2 入力 NAND 回路 8 7 の出力にクロック信号 ϕ 1 が現われ、第 3 図に示すタイミング t 3 にて、クロック信号 ϕ は周期の最も長いクロック信号 ϕ 2 に切り換わる。従って、図示しないステップ 1 6 0 以降の処理においては、1 ビットマイクロプロセッサ 1 は低速で動作することになり、カウンタ 2 2 を用いたカウント動作によるウェイト時間も長くすることが可能となる。

こうした低速動作に替えて、再び高速動作が要求される場合には、ステップ 1 7 0 に示すクロック信号 ϕ B 選択処理がなされる。即ち、命令コード出力部 6 より命令コード 0 1 4 [H] を出力す

は、クロック信号 ϕ B を 1 / 2 分周としたクロック信号 ϕ J もしくはこれを更に 1 / 2 分周したクロック信号 ϕ F をクロック信号 ϕ とすることができる。この結果、ジャンプ命令等の分岐命令を持たずサイクリックに動作を行なう 1 ビットマイクロプロセッサ 1 において、カウンタ 2 2 の段数や R A M 1 4 のメモリ容量等を大巾に増加することなく、高速動作と長いウェイトとを両立させることができる。従って、1 ビットマイクロプロセッサ 1 の汎用性を高めることができるという優れた効果を有する。また、本実施例の 1 ビットマイクロプロセッサ 1 は C-MOS トランジスタを用いて構成しているので、低速動作で充分な場合には消費電力を低減することもできるという優れた効果を有している。

尚、本実施例では、クロックドインバータを用い、マシンサイクルを決定するクロック信号 ϕ の切り換えを、各クロック信号 ϕ A, ϕ B, ϕ J に同期させて行なっているので、クロック信号の切り換えの際に、ヒゲ状のパルスをクロック信号と

して出力するといったことがなく、クロック信号切り換えの際の誤動作等の問題は存在しない。

発明の効果

本発明のマイクロプロセッサによると、マイクロプロセッサの駆動の基となるマシンサイクルを、周期の異なるクロック信号の中から選択することができる。これにより、カウンタの段数やメモリの容量等を増加することなく、高速処理や低速処理等に幅広く対応することができるという効果を有する。従って、サイクリックに動作するマイクロプロセッサの汎用性を高めることができるという優れた効果を奏する。

4 図面の簡単な説明

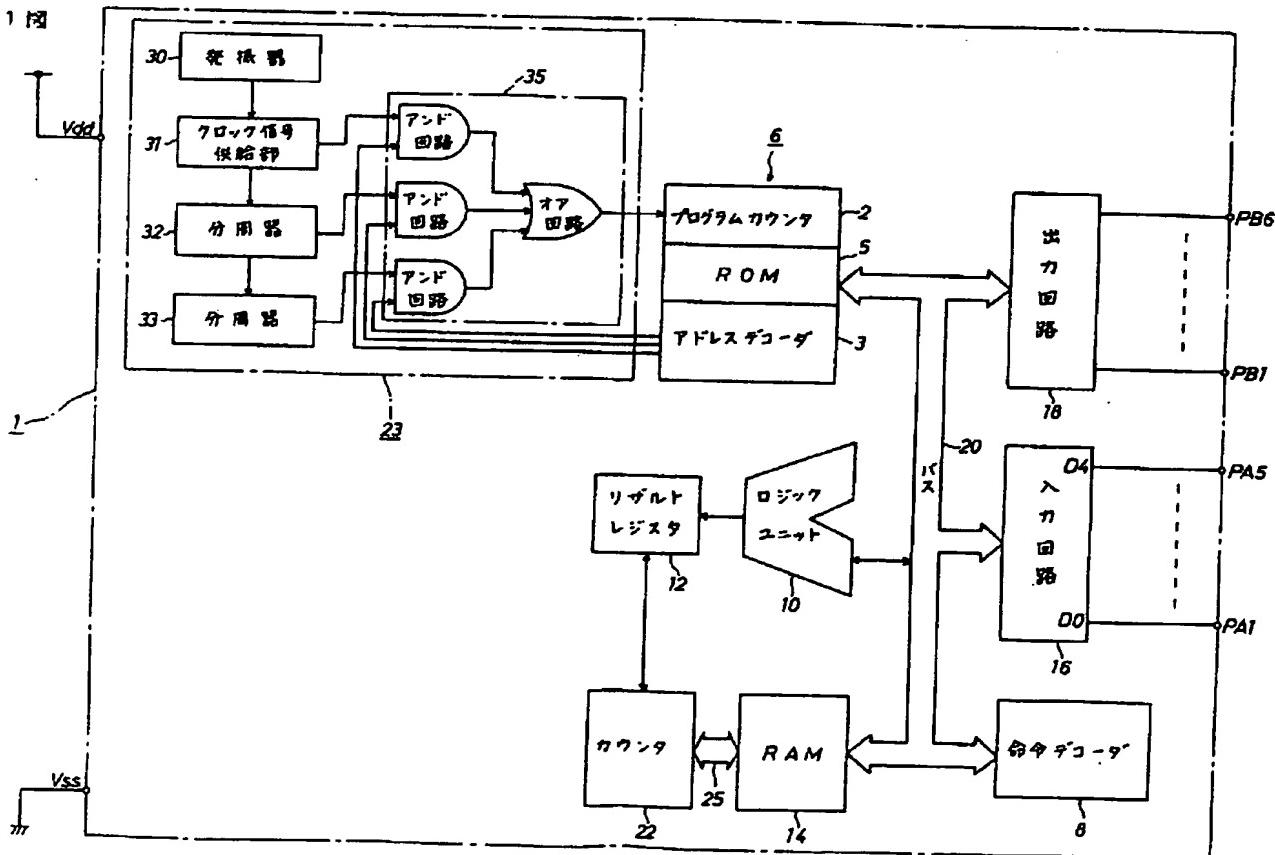
第1図は本発明一実施例の1ビットマイクロプロセッサ1の基本的構成を示すブロック図、第2図は同じく1ビットマイクロプロセッサ1のマシンサイクル設定回路23を示す回路図、第3図は1ビットマイクロプロセッサ1の各部動作を例示するタイミングチャート、第4図は1ビットマイクロプロセッサ1の行なう「マシンサイクル選択

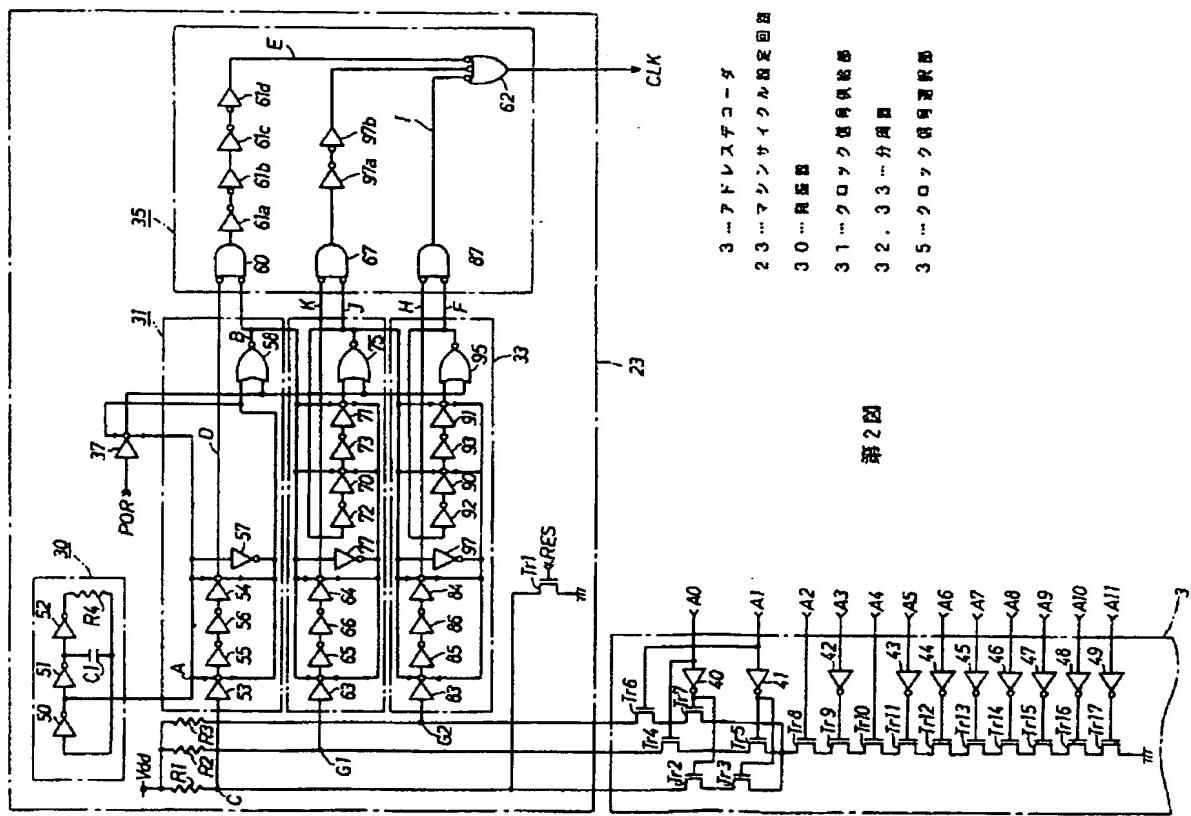
処理」の処理を示すフローチャート、である。

- 1 … 1ビットマイクロプロセッサ
- 6 … 命令コード出力部
- 10 … ロジックユニット
- 12 … リザルトレジスタ
- 22 … カウンタ
- 23 … マシンサイクル設定回路
- 30 … 発振器
- 31 … クロック信号供給部
- 32, 33 … 分周器
- 35 … クロック信号選択部

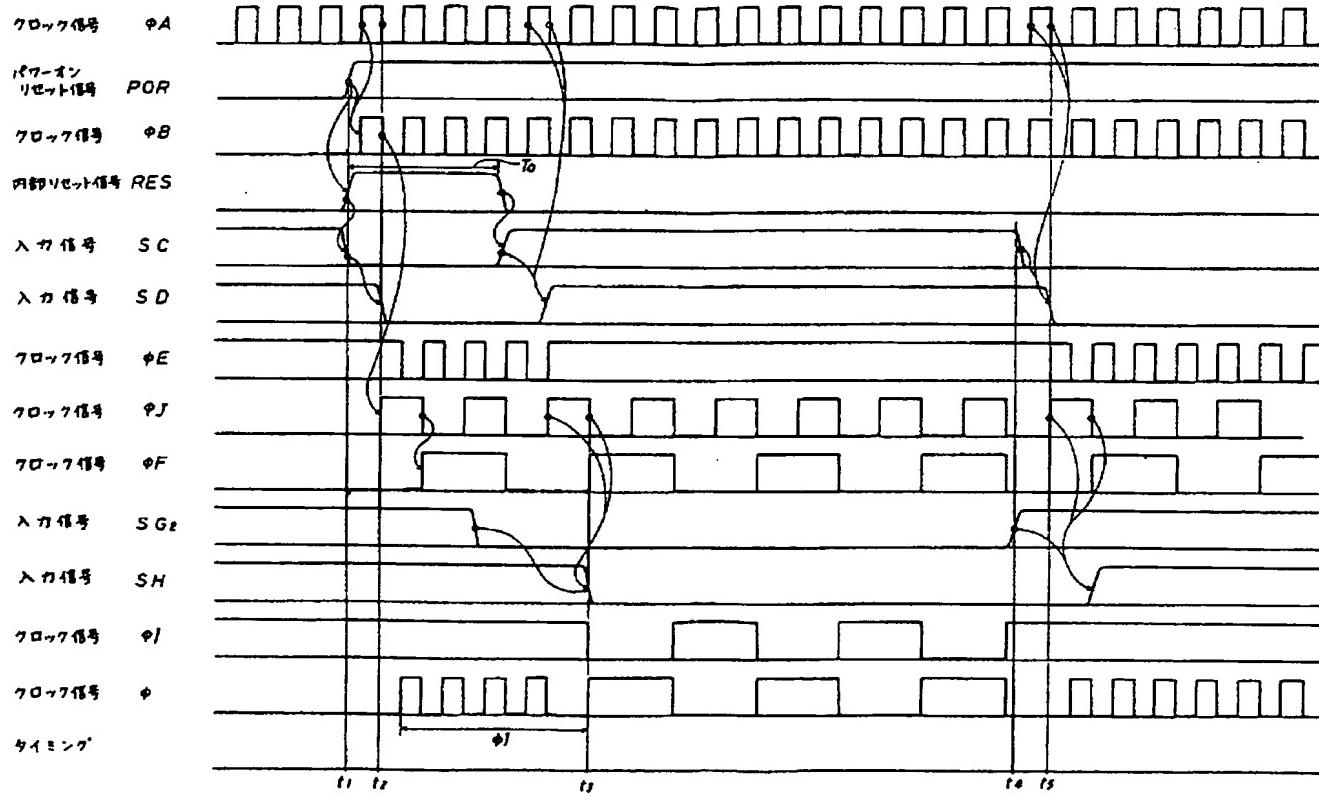
代理人 弁理士 足立 助

第1図





第3回



第 4 図

